

PAT-NO: JP402110405A
DOCUMENT-IDENTIFIER: JP 02110405 A
TITLE: SEMICONDUCTOR DEVICE AND ITS
PRODUCTION
PUBN-DATE: April 23, 1990

INVENTOR- INFORMATION:

NAME
AUTIER, PHILIPPE
ERMAN, MARKO
AUGER, JEAN-MARC

ASSIGNEE- INFORMATION:

NAME	COUNTRY
PHILIPS GLOEILAMPENFAB:NV	N/A

APPL-NO: JP01156920

APPL-DATE: June 21, 1989

INT-CL (IPC): G02B006/12, H01L021/302

US-CL-CURRENT: 385/129

ABSTRACT:

PURPOSE: To lessen the loss of light beams by providing the curvilinear part of a light guide with means for limiting light into the light guide.

CONSTITUTION: The curvilinear part of the light guide G is provided with the means for limiting the light into the light guide G. The means include a waveguide structural body having a waveguide layer CG and a fine line R in a relief form which projects from this waveguide layer CG and

determines the optical path to be traced by the light as well as groove structural bodies S<SB>1</SB>, S<SB>2</SB>. The depth of these structural bodies S<SB>1</SB>, S<SB>2</SB> is fixed and the central part is a curvilinear part which exactly follows up the edge of the fine line R. The ends thereof are the beginning end and terminating end of the curvilinear part and part from the edges of the fine line R. The bottoms of the structural bodies S<SB>1</SB>, S<SB>2</SB> exist in the waveguide layer CG in the position not reaching the lower part of the waveguide layer. As a result, the integrated light guide which is low in the loss in both of the curvilinear part and the straight part is obtd.

COPYRIGHT: (C)1990, JPO

⑪ 公開特許公報 (A) 平2-110405

⑫ Int. Cl. 5

G 02 B 6/12

H 01 L 21/302

識別記号

庁内整理番号

A 7036-2H
M 7036-2H

⑬ 公開 平成2年(1990)4月23日

審査請求 有 請求項の数 33 (全21頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 平1-156920

⑯ 出 願 平1(1989)6月21日

優先権主張 ⑰ 1988年6月24日⑮ フランス(FR)⑯ 8808503

⑰ 発明者 フィリップ オティエ フランス国75013 パリ リュ カンボ - フォルミオ 24

⑰ 発明者 マルコ・エルマン フランス国75012 パリ ブルヴァール ド リュイリイ
30⑰ 発明者 ジヤン・マルク・オジ フランス国94340 ジョワンヴィル - ル - ポン リュ シ
エ ャブサル 5⑯ 出願人 エヌ・ベー・フィリップス・フルーランペ オランダ国5621 ベーアー アンドーフエン フルーネ
ンファブリケン バウツウエツハ 1

⑰ 代理人 弁理士 杉村 晓秀 外1名

○

明細書

1. 発明の名称 半導体装置及びその製造方法

2. 特許請求の範囲

1. 少なくとも、1つの直線部分及び1つの湾曲部分を有する集積化光ガイドを有する半導体装置であって、前記の光ガイドは前記の湾曲部分で光を光ガイド中に制限する手段を有し、これらの手段には前記の湾曲部分の領域で光ガイドの縁部に沿って設けられた溝を含んでいる当該半導体装置において、前記の手段が更に、導波層と、この導波層から突出しこの導波層中を光がたどる光路を決定する浮き取り状の細条とを有する導波構造体をも含んでおり、前記の手段が更に溝構造体を含んでおり、この溝構造体の深さは一定であり、この溝構造体の中央部は前記の湾曲部分で前記の細条の縁部を正確に追従し、この溝構造体の端部は前記の湾曲部分の開始端及び終了端で前記の細条の縁部から離間し、この溝構造体の底部は前記の導波層の下側部分に達し

ないレベル位置でこの導波層中に位置していることを特徴とする半導体装置。

- 請求項1に記載の半導体装置において、前記の湾曲部分で光ガイドの両側に同じ構造の溝が設けられていることを特徴とする半導体装置。
- 請求項1又は2に記載の半導体装置において、溝の端部が前記の細条から2° ~ 5° の角度だけ離間していることを特徴とする半導体装置。
- 請求項3に記載の半導体装置において、前記の角度が3° であることを特徴とする半導体装置。
- 請求項3に記載の半導体装置において、前記の角度が4° であることを特徴とする半導体装置。
- 請求項1~5のいずれか一項に記載の半導体装置において、前記の導波層の厚さ方向での溝の深さがこの導波層の厚さの20%よりも少ないことを特徴とする半導体装置。

7. 請求項1～6のいずれか一項に記載の半導体装置において、光ガイドの構造が2層を有する型のものであり、導波層が低屈折率の制限層の表面に形成され、前記の細条は導波層の表面にこの導波層と同じ材料を以って形成されていることを特徴とする半導体装置。
8. 請求項7に記載の半導体装置において、2層を有する光ガイドの構造がホモ構造型であり、制限層は第1の固有抵抗値で所定の導電型のⅢ-V族材料より成っており、導波層はⅢ-V族の材料の基板上に形成された第2の固有抵抗値で制限層と同じ導電型及び同じⅢ-V族材料より成っていることを特徴とする半導体装置。
9. 請求項8に記載の半導体装置において、制限層がn+型のInPより成っており、導波層が半絶縁性のInPの基板上に形成されたn+型InPより成っていることを特徴とする半導体装置。
10. 請求項1～6のいずれか一項に記載の半導

体装置において、光ガイドの構造は3層を有する型のものであり、導波層が低屈折率の2つの制限層間に形成され、前記の細条が上側の制限層の材料から成っていることを特徴とする半導体装置。

11. 請求項10に記載の半導体装置において、3層を有する光ガイドの構造がヘテロ構造型であり、2つの制限層は二成分のⅢ-V族材料より成り、導波層は三成分又は四成分Ⅲ-V族材料より成り、基板は二成分Ⅲ-V族材料より成っていることを特徴とする半導体装置。
12. 請求項11に記載の半導体装置において、制限層はInPより成り、導波層は半絶縁性のInPの基板上に形成されたGaInAsPより成っていることを特徴とする半導体装置。
13. 請求項1～12のいがれか一項に記載の半導体装置において、導波層の厚さが約 $1.5\mu m$ であり、制限層が存在する場合にはこの制限層の厚さが約 $0.25\mu m$ であり、前記の細条は約 $0.75\mu m$ の厚さ及び約 $4\mu m$ の横方向寸法

を有する浮き駆り状をしており、溝はその底部が導波層の上側面から約 $0.2\mu m$ に位置するような深さを有していることを特徴とする半導体装置。

14. 請求項1～6のいずれか一項に記載の半導体装置を製造するに当り、少なくとも以下の工程、すなわち、
 - a) Ⅲ-V族の少なくとも2つの半導体材料層の構造を形成し、下側の層(11, 12)が制限層(C₁)を構成する為の低屈折率を有し、この下側の層を被覆する層(12, 21)は高屈折率を有するとともに半導体装置を動作させる為の波長λを有する放射を透過して導波層(C₂)を構成するようにする工程と、
 - b) 前記の導波層(C₂)上に高さがhで幅がW₂で湾曲部分を有する細条(R)を浮き駆り状に形成し、この細条(R)はその下側の層(C₂)中に導波路を制限する為のものとする工程であって、この工程は、細条(R)の領域のみを被覆する第1の種類のマスク(M₁, M₂)

のシステムを用い、これに統いてこのマスクのシステムに対して選択エッチングを行なうガスによりこのマスクのシステムの周りの半導体領域を深さtに亘っていわゆる反応性イオンエッチングを行ない、これにより前記の細条(R)の下側の導波層が厚さe₂を有するようにして得る当該工程と、

c) これにより得られた装置の表面に、前記の細条(G)の湾曲部分の両側で前記の導波層(C₂)中の深さP及び幅W₃を有する2つの溝(S₁, S₂)を形成し、これらの溝を前記の湾曲部分の端部で前記の細条から角度αだけ離間させ、光を導波層(C₂)中で横方向に制限する工程であって、この工程は、前記の溝(S₁, S₂)の領域と一致する窓(O₁, O₂)を有する第2の種類のマスク(H₂)のシステムを用い、前記の細条(R)上のこれらの窓の距離dを $0 \leq d < W_2$ とし、これに統いて厚さe₂を有する導波層(C₂)におけるエッチング深さPがe₂の20%よりも浅いある深

さとなるまで窓(0₁, 0₂)中の半導体領域を
いわゆる反応性イオンエッチングを行なう
ことにより得る当該工程と
を順次に行なうことを特徴とする半導体装置の
製造方法。

15. 請求項14に記載の半導体装置の製造方法において、前記の工程a)でⅢ-V族の材料の2層(11, 12)のホモ構造を形成することを特徴とする半導体装置の製造方法。
16. 請求項15に記載の半導体装置の製造方法において、前記の工程b)で前記の細条(R)をホモ構造の第2層(12)の材料中に形成することを特徴とする半導体装置の製造方法。
17. 請求項16に記載の半導体装置の製造方法において、2層のホモ構造を、エピタキシャル成長によりn⁻導電型のInPの層が上に形成されているn⁻導電型のInPの基板(10)を以って構成することを特徴とする半導体装置の製造方法。
18. 請求項17に記載の半導体装置の製造方法に

おいて、2層のホモ構造をn⁻導電型のInPの第1エピタキシャル層(11)と、InPの固体単結晶半絶縁性基板(10)の表面に配置したn⁻導電型のInPの上側層(12)とを以って構成することを特徴とする半導体装置の製造方法。

19. 請求項14に記載の半導体装置の製造方法において、前記の工程a)でⅢ-V族の材料の2層、すなわち下側の第1層(21)及び上側の第2層(22)のヘテロ構造を形成することを特徴とする半導体装置の製造方法。
20. 請求項19に記載の半導体装置の製造方法において、前記の工程b)で前記の細条(R)を2層のヘテロ構造の上側層、すなわち第2層(22)の材料中に形成することを特徴とする半導体装置の製造方法。
21. 請求項19に記載の半導体装置の製造方法において、前記の工程a)でダブルヘテロ構造を前記の層(21, 22)の表面に配置した第3層(23)を以って構成し、この第3層の屈折率を前記の第2層(22)の屈折率よりも低くし、こ

- の第2層(22)を導波層(C_c)とすることを特徴とする半導体装置の製造方法。
22. 請求項21に記載の半導体装置の製造方法において、前記の工程b)で前記の細条(R)を前記の第3層(23)に形成することを特徴とする半導体装置の製造方法。
23. 請求項19~22のいずれか一項に記載の半導体装置の製造方法において、前記のヘテロ構造或いはダブルヘテロ構造(21, 22或いは21, 22, 23)で第1層(21)をn⁻導電型のInPの二成分エピタキシャル層とし、第2層(22)をGaInAsPの四成分エピタキシャル層とし、第3層(23)が存在する場合にはこの第3層をn⁻導電型のInPの二成分エピタキシャル層とし、この順次の層を単結晶半絶縁性のInPの固体基板上に配置することを特徴とする半導体装置の製造方法。
24. 請求項17又は18又は23に記載の半導体装置の製造方法において、InP材料をそのバックグラウンドドーピングのみによりn⁻導電型

にするとともに4·10¹⁴の濃度でs⁺イオンをドーピングすることによりn⁻導電型とし、半絶縁性のInPの固体基板が存在する場合にはこの固体基板を14·10¹⁴程度の濃度のカブセル化を用いたチョクラルスキー法による引上げ法により得、エピタキシャル層はMOVPE又はVPE型の方法の1つにより得ることを特徴とする半導体装置の製造方法。

25. 請求項14~24のいずれか一項に記載の半導体装置の製造方法において、
 $0.5 \mu m < h < 0.75 \mu m$ $W_c = 4 \mu m$
 $P < e_c$ の20% $W_s = 1 \sim 4 \mu m$
 $1.5 \mu m < e_c < 2.5 \mu m$ $2^\circ < \alpha < 5^\circ$
としたことを特徴とする半導体装置の製造方法。
26. 請求項14~25のいずれか一項に記載の半導体装置の製造方法において、第1の種類のマスクのシステムをシリカ(SiO₂)の層(31)とホトレジストの層(32)との重疊層を以って構成することを特徴とする半導体装置の製造方法。

27. 請求項26に記載の半導体装置の製造方法において、前記の工程b)でシリカの層(31)の厚さを500~700nm程度とし、ホトレジストの層(32)を0.7~1μm程度とし、前記のシリカの層をその堆積後で前記のホトレジストの層の堆積前に400℃で30分間加熱し、前記のホトレジストの層(32)をその堆積後約90℃の温度で約30分間加熱し、前記の細条(R)をホトレジストの層(32)のホトリソグラフィー工程により規定し、これによりマスク(M₂)を形成し、これに統いてホトレジストの層(32)を段階的に180℃で加熱し、次にシリカ(SiO₂)の層(31)を半導体材料の上側層の上側面が露出するまでCHF₃ガスを用いた反応性イオンエッティングにより前記のマスク(M₂)の周りでエッティングし、これにより前記のマスク(M₂)の下側にマスク(M₁)を形成することを特徴とする半導体装置の製造方法。

28. 請求項27に記載の半導体装置の製造方法において、前記の細条(R)は少なくともCH₄/H₂、

ガスを含有する混合ガスにより第1の種類のマスク(M₁、M₂)のシステムの周りで半導体層をエッティングすることにより形成することを特徴とする半導体装置の製造方法。

29. 請求項26~28のいずれか一項に記載の半導体装置の製造方法において、前記の第2の種類のマスクのシステムを厚さが2~4μmのホトレジスト層(33)を以って構成することを特徴とする半導体装置の製造方法。

30. 請求項29に記載の半導体装置の製造方法において、前記の工程c)で前記の窓(O₁、O₂)を既知のリングラフィーの工程によりホトレジスト層(33)に形成し、これにより第2の種類のマスク(M₂)を形成し、その後溝(S₁、S₂)を、導波層(C₀)中でエッティング深さPが得られるまで窓(O₁、O₂)中で露出された半導体層をエッティングすることにより形成し、このエッティング工程は少なくともCH₄/H₂ガスを含む混合ガスにより行ない、マスクの2つのシステム(M₁、M₂及びM₃)をホトレジストに關しアセト

ン中で、シリカ(SiO₂)に関しフッ化水素(HF)中で分解することにより除去することを特徴とする半導体装置の製造方法。

31. 請求項30に記載の半導体装置の製造方法において、前記の第2の種類のマスク(M₃)の形成中、前記の窓(O₁及びO₂)を、これらが、第1の種類のマスク(M₁、M₂)のシステムによって依然として被覆されている細条(R)の上方で距離d<W₀だけ互いに離間されるように形成することを特徴とする半導体装置の製造方法。

32. 請求項30に記載の半導体装置の製造方法において、第2の種類のマスク(M₃)の形成中に前記の窓(O₁、O₂)を、これらが第1の種類のマスク(M₁、M₂)のシステムによって依然として被覆されている細条(R)の上方で互いに結合されて1つの窓を構成するように形成し、この1つの窓は溝(S₁、S₂)の端部を形成するこの窓の各端部でありつぎの形状を有するようすることを特徴とする半導体装置の製造

方法。

33. 請求項30~32のいずれか一項に記載の半導体装置の製造方法において、前記の窓(O₁、O₂)の端部を約50μmの長さに亘って角度αだけ前記の細条(R)から離間させ、溝(S₁、S₂)の端部(E₁₁、E₁₂、E₂₁及びE₂₂)を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、少なくとも、1つの直線部分及び1つの湾曲部分を有する集積化光ガイドを具える半導体装置であって、前記の光ガイドは前記の湾曲部分で光を光ガイド中に制限する手段を有し、これらの手段には前記の湾曲部分の領域で光ガイドの縁部に沿って設けられた溝を含んでいる当該半導体装置に関するものである。

本発明は更に、このような半導体装置を製造する方法に関するものである。

本発明は、種々の曲率を有する光ガイドを見え、各光ガイドが順次に直線部分及び湾曲部分を有しているマッハ-ツェンダー(Mach-Zehnder)変調器或いは光スイッチのような集積化光学装置の製造に用いられる。

(従来の技術)

湾曲部分を有する埋込み光ガイドを製造することは、本 "2213-Frequenz Vol. 35(1981), September No 9 Berlin-Deutschland" の第248頁におけるカ

ール・ハイツ・ティートゲン(Karl-Heinz TIEGEN)氏著の論文 "Probleme der Topographie Integrierter Schaltungen" から既知である。

この埋込み光ガイドは単に基板の屈折率よりも大きな屈折率を有する細条を以って構成されており、この細条はLiNbO₃の基板中にチタンを注入することにより得ており、従ってこの細条は基板の上側平坦面と一致する1つのレベルにある。このような完全に埋込まれた光ガイドでは損失が常に多くなる。

光ガイドの湾曲部分での径方向散乱による損失を低減させる為に、上記の論文では、例えばエッティングにより溝を形成し、この溝が前記の湾曲部分よりも大きな曲率半径でこの湾曲部分と同じ高さで埋込み光ガイドの縁部を正確にたどるようにすることが提案されている。このエッティングによる溝は、大きい方の曲率半径を有する方の光ガイドの縁部の側で光ガイドの外部にある雰囲気との光ガイドとの間の屈折率の相違を大きくするものである。

この論文によるこの方法により 0.5mm程度の曲率半径を得ることができ、これにより損失を3dBを越えないようとする。

この論文には、このような湾曲した光ガイドを製造した場合、外部の雰囲気に対して光ガイドの縁部がでこぼこしていることによる散乱により損失が生じ、これらの損失は屈折率の差が大きくなるとこれと関連する問題、例えば反射、径方向放射およびモード変換を考慮する必要があるということも記載されている。

これらの問題を減少せしめる為に、エッティングにより形成された溝は光ガイドの湾曲した部分の開始端および終端と一致するこの溝の端部で基板の上側面に向けてわずかに傾斜して上昇する底部分を有し、従って埋込まれた光ガイドは直線部分で低屈折率の基板によってのみ横方向で規制されている。

一方、湾曲した光ガイドにおける放射による損失は、"Bell Syst. Techn. 48, 2161(1969)"における "Marcatili and Miller" の文献で考慮され、

説明されている。

光の波が光ガイドの湾曲部分に達すると、この波をこの湾曲部分に適合させる必要がある。この目的の為に、伝達されるエネルギーの一部分を放射モードに変換する。従って、エネルギーは導波面に分散的に放射する。

放射によるこれらの損失は、湾曲部分でその外部と同じ位相速度を得る為に雰囲気中の光の速度よりも速い速度で電磁界を移す必要があるという事実によるものである。実際に、波頭を維持するとともに一定の角速度で波面に応じて移す為に、接線方向の位相速度を、考慮した点と光ガイドの曲率中心との間の距離に比例させる必要がある。光ガイドを構成する細条の外側縁から測ったある距離Dを越えると、伝搬速度が波頭を維持するのに必要とする位相速度よりも速くなる。従って、この距離からはもはやモードを伝搬できず、光は湾曲の凸状部に位置する基板中に放射されてしまう。

導波モードの、放射モードへの変換は、モノモ

ード光ガイドが不充分な長さの曲率半径を有する場合にこれらのモノモード光ガイドにとって極めて不利なことである。

本 "Topics in Applied Physics-Vol.7" の第133 頁の章 "Integrated Optics" に記載されておりマルカティリ(Marcatili) 氏により確立された式は臨界的な曲率半径 r をモードの横方向制限距離 D 、すなわちより正確には波の消滅の横方向範囲の関数として且つ使用する波長 λ の関数として与えている。

放射損失は光ガイドの曲率半径が以下の不等式を満足する場合もはや無視できない。

$$r < 24 \times 10^3 / \lambda^2$$

この式によれば、横方向制限距離が増大すればする程、湾曲の外部の方向に生じる損失を増大させることなく、光ガイドの曲率半径を小さくすることができる。

モノモード光ガイドの場合、臨界的な半径は10 μ m程度であるということがこの式から導出される。その結果、曲率半径が20 μ mよりも小さい場合、放

射による損失は可成り大きくなり始める。

この式によれば、光ガイドの湾曲部の位置レベルでの横方向制限距離を増大させる必要があるということが導き出され、このことは最初に記載した本における指摘と完全に一致している。

しかし、従来技術を示す最初に記載した本によれば、この問題は、散乱による損失とモード変換の割合とは制限用の界面気との屈折率の差が大きくなるのと同時に増大するという事実の為にモノモード光ガイドに対して解決するのが困難である。
(発明が解決しようとする課題)

従って課題は、前述した本における曲率半径よりも著しく小さな、代表的には 500 μ m よりも小さな曲率半径の湾曲部分を有し、湾曲部分及び直線部分の双方において損失が極めて小さい、特に 1dB/cm よりも小さい集積化光ガイドを製造することにある。

これらの課題は、散乱又はモード変換による損失を増大せしめることなく、放射損失を押圧するように光ガイドの湾曲部分を制限する本発明の手

段によって解決するものであり、これらの手段を更に従来から既知の完全埋込み型光ガイド構造よりもそれ自体における損失が極めて少ない細条光ガイド構造に適用する。

(課題を解決するための手段)

本発明は、少なくとも、1つの直線部分及び1つの湾曲部分を有する集積化光ガイドを具える半導体装置であって、前記の光ガイドは前記の湾曲部分で光を光ガイド中に制限する手段を有し、これらの手段には前記の湾曲部分の領域で光ガイドの縁部に沿って設けられた溝を含んでいる当該半導体装置において、前記の手段が更に、導波層と、この導波層から突出しこの導波層中を光がたどる光路を決定する浮き勝り状の細条とを有する導波構造体をも含んでおり、前記の手段が更に溝構造体を含んでおり、この溝構造体の深さは一定であり、この溝構造体の中央部は前記の湾曲部分で前記の細条の縁部を正確に追従し、この溝構造体の端部は前記の湾曲部分の開始端及び終了端で前記の細条の縁部から離間し、この溝構造体の底部は

前記の導波層の下側部分に達しないレベル位置でこの導波層中に位置していることを特徴とする。

以下図面につき説明する。

第1a図は、曲率半径 r を有する湾曲した光ガイド(導波管) Gにおいては、この光ガイドの外側凸状縁から測ったある距離 D があり、この距離 D は、この距離を越えると伝搬速度が波の底部(斜線領域)を保つのに必要な位相速度よりも遅くなる距離 D である。従って、この距離からは光が基板中に放出されてしまう。これを第1b図に示す。この第1b図は本発明による制限(規制すなわち閉じ込め)手段を設けていない湾曲した光ガイド G における光ビームの光路を上方から示している。光路の進路は、光がまっすぐに進み、特に導波モードのエネルギーのすべてが基板10中で失なわれ、従って1つの主ロープと数個の副ロープとを形成するということを示している。第1b図に密な点で示す区域は高エネルギーに対応し、粗な点で示す区域は低エネルギーに対応する。光は矢印の方向に進む。第1b図は、光ガイドの湾曲部分を越える

と点線で示す光ガイドG中にはもはやエネルギーは残っていないということを示している。

一方、第1c図は本発明による制限手段を設けた湾曲光ガイドG中の光ビームの光路を上方から示している。導波モードのエネルギーはすべて光ガイドの湾曲部分を越えても実際に光ガイドに残っているということを示している。光は矢印の方向に伝播する。

しかし、凸状部において光ガイドの縁部に沿ってエッチングにより溝を形成する従来技術を適用する場合には、光ガイドが横の観点からマルチモードとなり、導波領域とその隣接の制限領域との間の実効屈折率の差が 10^{-2} のオーダーを越えないようとする必要がある。更に、側面の凹凸により生ぜしめられる回折の為に分散による損失が導入される。本発明によれば、第2図に上方から見て示す装置により上述した問題を解決する。

この装置は、平均半径 r を有する少くとも1つの湾曲部と直線部とを有する細条Rによって表面が制限された光ガイドGを有する。更にこの装置

という事実をも含んでいる。

層C₁はこの層を被覆する層C₀よりも低い屈折率を有する制限層である。層C₀は導波層、すなわち波が伝播する層である。この導波層の表面に形成された細条Rは導波層中で波がたどる光路を制限する。

この細条Rはその横方向寸法 W_0 を装置上で選んだ高さ h よりも大きくするのが好ましい。

これらの条件の下では2つの共働手段によってモード変換を回避しうる。一方の共働手段は光ガイドが直線となると直ちに溝が導波領域から角度 α だけそれるという事実によるものであり、他方の共働手段は溝が導波層C₀の厚さ全体に亘って設けられておらずに一般に導波層C₀の厚さ h_0 の20%を越えない部分Pにのみ設けられているという事実によるものである。

この割合は、光ガイドの湾曲部分でビームを制限したりモード変換を無くしたりする為に材料の屈折率と伝送される波長との関数として計算される。

は光ガイドGで光波の通路を保つ手段を有する。

これらの手段には光ガイドの湾曲部でこの光ガイドの縁部に沿って設けた溝S₁及びS₂を含む。本発明によれば、これらの溝の深さはこの装置の上側面に対し或いは他の基準面、例えば基板に対し一定とする。これらの溝は光ガイドの湾曲部では一定の横方向寸法 W_1 を有するも、溝S₁に対する端部E₁₁、E₁₂及び溝S₂に対する端部E₂₁、E₂₂の横方向寸法は溝の端に近づくにつれて徐々に減少させ、溝の外側縁部は光ガイドの縁部に平行に保ち、光ガイドの縁部に近い方の溝の縁部は光ガイドの縁部から分離させてこれらの間に角度 α を有するコーナーを形成するストリップQ₁₁、Q₁₂及びQ₂₁、Q₂₂を残すようとする。端部E₁₁、E₁₂、E₂₁、E₂₂は光ガイドの湾曲部の端部の両側に長さ l に延在する。

これらの手段は、第3及び4図の斜視図に或いは第5a、5b及び5c図の断面図に示すように、光ガイドが少くとも2つの層C₁及びC₀を以って構成され、層C₀上に浮き彫り的に細条Rが設けられてい

従って、本発明による手段、すなわち

- ・導波層上に湾曲部分を有する薄肉導波細条を配置する手段、
- ・湾曲部分における導波細条の縁部に対して設けた溝手段、
- ・これらの溝を湾曲部分の端部から始めて導波細条の縁部から角度 α だけ離間させる手段、
- ・これらの溝を導波層の厚さよりも浅い深さに形成する手段

を用いることにより、

- a) ビームの損失は、横方向の散乱がないという事実の為に直線部分において極めて小さくなり、
- b) 同時にこのビームは、同じ導波層中を波が伝播する他のビームに容易に横結合しうるようになります、
- c) このビームの損失は湾曲部分で極めて小さくなり、この湾曲部分の曲率半径は $50\mu m$ 程度に極めて小さくでき、
- d) 溝は導波層の底部に達しない為、いかなるモード変換も回避でき、

e) 溝の深さは比較的浅い為、壁部上での回折による横方向散乱に起因する損失が極めて少なくなる。

従って、本発明による手段を講じた装置の性能は特に高いもとなる。

実施例1：

第3、4及び5図は本発明による手段を設けた集積化光ガイド（導波管）を有する装置の一実施例を示す。

この光ガイド構造は、例えばInPの半絶縁基板10上に形成しうるn⁻型のInPより成る低屈折率を有する制限層C₁と、この層C₁上に配置したn⁻型のInPより成る導波層C₀及びこの層C₀と同じ材料より成る薄肉の、細条Rとのホモ構造である。

上記のホモ構造を得るには、同じ導電型で固有抵抗が異なるIII-V族の他の二成分材料を用いることもできる。

装置の包括的な構造は上方から見た第2図に示すものである。この第2図の部分P₁は第3図に斜視図で詳細に示してある。この第3図は導波細条

Rを導波層C₀上に浮き取り状に示しており、導波層C₀は制限層C₁及び基板10上に延在している。細条Rの両側にはその縁部と一致して溝S₁及びS₂が配置されており、これらの溝の底部は導波層C₀の下方部分には達していない。湾曲部分の端部からはこれら溝S₁及びS₂は細条Rの縁部から離間しており、従って導波層C₀の材料のコーナーθ₁₁及びθ₁₂が現われる。従って、これらの離間部分E₁₁及びE₁₂における溝S₁及びS₂は湾曲部分の領域におけるよりも小さな横方向寸法を有する。

第2図の装置のP₁部分は第4図に斜視図で詳細に示してある。この第4図には第3図と同じ素子を示してある。

導波層における波の伝搬現象を良好に理解する為に、第5a～5c図に第4図の装置の平面AA、BB及びCC上の断面をそれぞれ示す。

第5a図は直線部分における光ガイドに垂直な平面を通る断面図AAに相当する。

この領域には溝が設けられていない。層C₀は厚さe₀を有する。細条Rは横方向寸法W₀を有し、高

さhだけ直立している。制限層C₁は導波層C₀の屈折率n₀よりも小さな屈折率n₁を有する。

第5c図は湾曲領域の開始位置において光ガイドに垂直な平面を通る断面図CCに相当する。溝S₁及びS₂は導波細条Rの縁部の延長線までエッチングされている。導波層の上側レベルに対する溝S₁、S₂の深さはPである。細条Rの両側にある溝の幅はW₁である。

これらの溝は導波層の厚さ全体に亘ってエッチングされていないが伝播されるエネルギーを変化させることなくビームを圧縮するのにこのエッチングで充分であり、このビームの断面はこの場合この断面図である第5c図に等エネルギー曲線で示す形態をとる。

第5b図は断面図AA及び断面図CC間の領域において光ガイドに垂直な平面を通る断面図BBに相当する。

溝S₁及びS₂の部分E₁₁及びE₁₂は、ビームの断面を第5a図の等エネルギー曲線によって示す形態から第5c図の等エネルギーラインによって示す形

態に移るようとするビームの圧縮を示している。

部分E₁₁、E₁₂のエッチング深さPは溝S₁、S₂のエッチング深さと同じである。部分E₁₁、E₁₂、E₂₁、E₂₂の長さはLである。

実施例2：

第6及び7図は本発明の第2実施例を示す。

この光ガイド構造は、例えばInPより成る半絶縁基板10上にInPより成る低屈折率の制限層C₁とGaInAsPより成るわずかに大きな屈折率の導波層C₀と、新たな制限層C₂と、この制限層C₂の表面に形成した同じ材料の薄肉導波細条Rとを以って構成しうるヘテロ構造である。

この二重ヘテロ構造、例えば基板と、二成分材料の制限層と、所望の屈折率及び使用する放射を透過するのに適した禁止帯幅を有する三成分或いは四成分材料の導波層とを形成するに他のIII-V族材料を用いることができる。

第6図は第2図の部分P₁の斜視図である。

第7a～7c図は第6図のAA、BB及びCC線上をそれぞれ断面にした断面図である。極めて薄い厚さe₀

を有する第2制限層C₂はこの層を形成する追加の技術工程を要するも、平衡にすべき実施例Ⅰの装置に比べて性能をわずかに改善する。

この装置の他の部分は実施例Ⅰとほぼ同じである。

本発明を実施する為に以下に有利な製造方法を説明する。実際本発明の目的は、高性能で特に曲率半径の小さな湾曲部分での損失が極めてわずかである光ガイドを有する装置を半導体材料中に集積化することにある為、この製造方法は特にこの目的に対し考慮する必要があるが、他の集積化要素の形成と相俟って装置を実現する。

製造方法

本発明による製造方法は、導波細条と曲率半径が小さな少くとも1つの湾曲部分とを有する埋込み光ガイドを形成する工程と、上記の湾曲部分において導波細条の軸線に沿って光を案内するように光を制限（規制）する溝を形成する工程とを具えている。

この方法は3つの順次の工程で行なうものであ

り、最後の工程に対しては異なる種類のすなわち選択エッチング処理を行なう異なる材料の2つのマスクを必要とする。

A: 第1工程

この第1工程では、並置層の構造を形成し、これから本発明による装置、すなわち低屈折率の少くとも1つの層上にわずかに高い屈折率の層を配置したものと、場合に応じ低屈折率の上側層とを有する構造を形成する（第9a～9c図）。

従って実施例Ⅰのホモ構造を得る為に、まず最初に、例えば液体カプセル化(encapsulation)を用いたチョクラルスキー法による結晶引上げにより得た半絶縁性のInPの固体ブロックからライス切断することにより基板10を形成する（第9b図参照）。

次に、MOVPE又はVPEのようなエピタキシャル法により、n⁻型のInP層11を形成する。この層11は例えば $4 \cdot 10^{18} / \text{cm}^3$ の濃度でS⁺イオンをドーピングすることにより得られ、この層に、意図的なドーピングを行わずに得たn⁻型のInP

層12を被覆する（第9b図参照）。

層11の厚さは臨界的なものではない。例えば $e_1 = 3 \mu\text{m}$ とすることが可能である。この層11は制限層C₁として用いる。層12の厚さは $3 \mu\text{m}$ とするのが好ましい。この層12はその導電型がn⁻である為に層11の屈折率よりもわずかに大きな屈折率を有し、従ってこの層12は実際には厚さ e_2 の導波層C₂及び厚さ h の細条Rを形成する作用をする。本発明の方法によれば、 $3 \mu\text{m}$ の厚さの層12から厚さ $e_2 = 2.5 \mu\text{m}$ の導波層C₂と高さ $h = 0.5 \mu\text{m}$ の細条Rを得る。

一般的に $2 \sim 3 \mu\text{m}$ の厚さの層12から

$$1.5 < e_2 < 2.5 \mu\text{m}$$

$$0.5 < h < 0.75 \mu\text{m}$$

$$W_R \approx 4 \mu\text{m}$$

を得るようにする。

本例では、n⁻型の材料InPが波長 $\lambda = 1.3 \mu\text{m}$ 及び $\lambda = 1.55 \mu\text{m}$ を有する放射を透過する。

実施例Ⅰのホモ構造の変形例では、n⁻導電型の基板10を用いる。この場合、この基板10は、前

述したようにこの基板の表面に直接n⁻導電型のエピタキシャル層12を形成する場合（第9a図参照）、光を制限（規制）する作用をする。

実施例Ⅱのダブルヘテロ構造を得る為に、まず最初実施例Ⅰで用いたのと同じ方法により基板10を形成する。

次にこの場合もMOVPE又はVPE型のエピタキシャル法により、制限層C₁を構成する意図的なドーピングを行なわずにInPの層21を形成する。この層21の厚さは臨界的なものではなく $e_1 = 3 \mu\text{m}$ 程度にできる。

次にこの層21の表面にGaInAsPのエピタキシャル層22を形成する。この層22の厚さは $1.5 \sim 2.5 \mu\text{m}$ とするのが好ましい（第9c図参照）。

この四成分層22は実際には厚さ e_2 の導波層C₂として用いられる。

本例では、四成分材料GaInAsPは、実際に電気通信の目的で用いられている波長 $\lambda = 1.3 \mu\text{m}$ 又は $\lambda = 1.55 \mu\text{m}$ の放射を透過する。

最後に、四成分層22の表面にInPの新たな二成

分層23を形成する(第9c図参照)。この層23の厚さは $1 \mu\text{m}$ とするのが好ましい。この層23において高さ $h \approx 0.5 \mu\text{m}$ 及び幅 $W_e \approx 4 \mu\text{m}$ の細条Rを実施例1と同様に形成する。この場合、層22の表面において細条R以外で残る層23の厚さは高さ h ($0.5 < h < 0.75 \mu\text{m}$)に応じて $0.25 \sim 0.5 \mu\text{m}$ となる。

(低屈折率の)二成分材料と四成分材料との間の屈折率の差が光を層C_e(22)中に制限する。

B: 第2工程

平坦なエピタキシアル層の上述した構造の一方或いは他方を形成し終ると、本発明による第2工程を開始する。この処理を実施例1及びIIの構造に対しそれぞれ第10及び11図に示す。この第2工程では、浮き彫り状の細条Rを半導体材料の上側層12或いは13上に形成する。

この目的の為に、まず最初マスクシステムM₁、M₂を形成する。このシステムは例えば、厚さが500~700 nmで、30分間420 °Cでの焼結により高密化したSiO₂のような誘電体材料の層31により得るこ

とができる。次にこのシリカ層31に厚さが0.7~1 μm のホトレジスト層32を被覆し、これをまず最初90 °Cで30分間焼結する(第10a及び11a図参照)。この層32を絶縁及び分解により、細条Rに對して設けた領域の表面にマスクM₂を残して除去する。次に、装置を段階的に180 °Cの温度にしてホトレジスト層M₂を硬化させる(第10b及び11b図参照)。

半導体構造の上側面が得られると、反応性イオンエッティング処理を例えればCH₄/H₂混合気体のようなガスによりマスクシステムM₁、M₂の周囲に行なう。元素Inを含むIII-V族化合物をエッティングするのにこの混合気体を用いることは1985年に日本で開催されたGaAs及びこれに関連する化合物の国際シンポジウムの文献 "Institute Phys. Compt. Serv. No. 79, Chapter 6" の第367~372頁にニゲブルグ(U. Niggebrugge)氏等著の論文から既知である。

上述したマスクシステムは、半導体材料のエッティング処理中に他のガス、特に塩素処理化合物を

用いようとする為に選択する。

半導体構造における所望のエッティング深さは細条Rの高さ h とする。従って、このエッティング処理は前述した2つの実施例ではInP材料より成る層12或いは層23における構造に応じて行なう。

エッティング深さの調節はフランス国特許出願第8707796号明細書に記載された方法を用いて実時間で行なうことができる(第10d及び11d図参照)。

このようにして形成された高さ h の細条Rはシリカ(SiO₂)のマスクM₁及びホトレジストのマスクM₂により被覆されたままであり、ここで本発明による方法の第3工程を開始する。

C: 第3工程

幅 W_e が $1 \sim 4 \mu\text{m}$ の溝S₁及びS₂を光ガイドの湾曲部分にすなわち光ガイドの湾曲部分の細条Rの縁部に沿って形成するこの第3工程を行なう為に、まず最初ホトレジスト層33を形成する。このホトレジスト層は $2 \sim 4 \mu\text{m}$ の厚さに亘って装置のアセンブリ全体を被覆する。

次に絶縁及び分解によりこのホトレジスト層33

に、形成すべき溝S₁及びS₂の表面と一致する窓をあけ(第10e及び11e図参照)、これによりマスクM₂を形成する。

第8a図は重疊されたマスクM₁及びM₂に対するマスクM₂の特定配置を上方から示しており、このマスクM₂には、形成すべき溝S₁及びS₂と一致する2つの窓O₁及びO₂があけられているも、マスクM₁及びM₂上での窓O₁及びO₂間の距離 d は細条R(すなわちマスクM₁、M₂)の寸法 W_e よりも小さくなるように注意する。これにより細条Rから最も離れた溝の縁部がマスクM₂により制限され、細条Rに最も近い溝の縁部が重疊マスクM₁、M₂により制限される。

第8b図はマスクM₂の特に有利な配置を上方から示しており、この場合窓O₁及びO₂がM₁、M₂上で連結し、溝S₁及びS₂の部分E₁₁、E₁₂、E₂₁、E₂₂を形成する各端部でありつき形態の1つのみの窓を形成している。これらの部分E₁₁、E₁₂、E₂₁、E₂₂の寸法 l (第2図)は

$$l = 50 \mu\text{m}$$

とするのが好ましい。

これらの状態では、第8a図のそれぞれ平面Ⅰ-Ⅰ及びⅡ-Ⅱ上での断面図である第10e, 11e図及び第10g, 11g図に示すように、細条Rから最も離れた溝S₁及びS₂の縁部がマスクM₁により制限され、細条Rに最も近い縁部がマスクM₂により制限されている。

上述した形態の窓O₁, O₂内では、半導体材料の層、すなわち実施例Ⅰのホモ構造の場合の層12及び実施例Ⅱのヘテロ構造の場合の層23, 22を、材料12或いは22の層C₁がその全厚さの20%よりも少ないわずかな厚さだけ腐食されるまでエッチングする。その全体の厚さの5~16%の深さPに亘るエッチングが好ましい。例えば層22の全体の厚さe₂が1.5 μmである場合、この層22における溝の深さPは約0.2 μmを選択しうる。

層12又は23, 22は同じ条件下で同じガスCH₄/H₂により前述したように反応性イオンエッチングによりエッチングする。

装置を実現する上で必要な2つのマスクシステ

ムを形成する材料の選択は、マスクM₁, M₂がマスクM₂の形成中に影響を受けないように行なうこととに注意すべきである。これらの2つのマスクシステムを実現するには他の材料を用いることもでき、この場合これらの材料によってマスクシステムを形成するとともに、これによって形成されたマスクが変形せず、特に半導体構造をエッチングするのに用いたのに同じガスによってエッチングされないことを条件とする。

第10f及び10h図は実施例Ⅰの構造を第8a図の断面Ⅰ-Ⅰ及びⅡ-Ⅱで見た窓O₁及びO₂内のエッチング処理の結果を示し、第11f及び11h図は実施例Ⅱの構造に対する上記と同じ断面で見た同じ結果を示す。

第8a図に、特に第8b図に示すマスクの相対配置が特に有利である。実際、溝の縁部がマスクM₁, M₂によって細条Rに沿って制限されているという事実の為に、第3工程での細条Rに沿う溝のエッチング処理が、第2工程で細条Rを形成するエッチング処理と完全に整列されて行なわれる。

4. 図面の簡単な説明

第1a図は、湾曲したモノモード光ガイド中の波の形状を示す線図、

第1b図は、本発明による制限手段を設けていない湾曲した光ガイド中の光ビームの通路を上方から見た線図、

第1c図は、本発明による制限手段を設けた湾曲した光ガイド中の光ビームの通路を上方から見た線図、

第2図は、湾曲した光ガイド中に光を制限する本発明による手段を示す線図、

第3図は、第1実施例での第2図の部分P₁を示す斜視図、

第4図は、第1実施例での第2図の部分P₂を示す斜視図、

第5a~5c図は、第4図の部分P₁を種々の面で断面として示す断面図、

第6図は、他の実施例での第2図の部分P₁を示す斜視図、

第7a~7c図は、第6図の部分P₁を種々の面で断

第8a図のマスク配置は第8b図のマスク配置よりもわずかに困難であるが第8b図の場合と同じ結果が得られる。

本発明の方法によればマスクを簡単に得ることができる。すなわち、マスクを非臨界的に互いに整列でき、溝の縁部を細条の縁部に対し完全に自己整列しうる。従って、光ガイドの縁部のあらさによる悪影響が最小となる。

処理の終了時にホトレジストのマスクM₂(層32)をアセトン中での溶解により除去し、シリカのマスクM₁(層31)をフッ化水素(HF)により除去する。ホトレジストのマスクM₂もアセトンで除去する。

光ガイドの湾曲部の凹部内に溝を形成するのは絶対に不可避的なことではないことに注意すべきである。しかし、この溝を形成することにより製造の実行を容易にし、性能を高め、光ガイド内への光の制限をも改善する。

面として示す断面図、

第8a及び8b図は、装置の製造方法を実施する為のマスクの2つの可能な相対配置を示す線図、

第9a～9c図は、前記の2つの実施例での製造方法の第1段階を示す断面図、

第10a～10h図は、前記の第1実施例での製造方法の第2及び第3段階を示す断面図、

第11a～11h図は、前記の第2実施例での製造方法の第2及び第3段階を示す断面図である。

G…光ガイド S₁, S₂…溝

R…細条 C₁…導波層

C₂, C₃…制限層

特許出願人 エス・ベー・フィリップス・
フルーランベンファブリケン

代理人弁理士 杉 村 駿 秀



同弁理士 杉 村 興 作

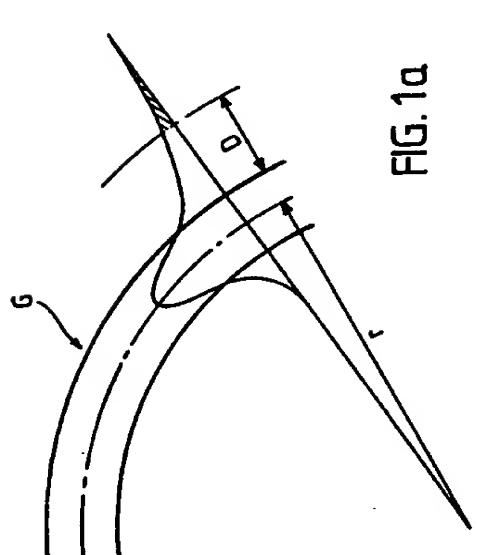


FIG. 1a

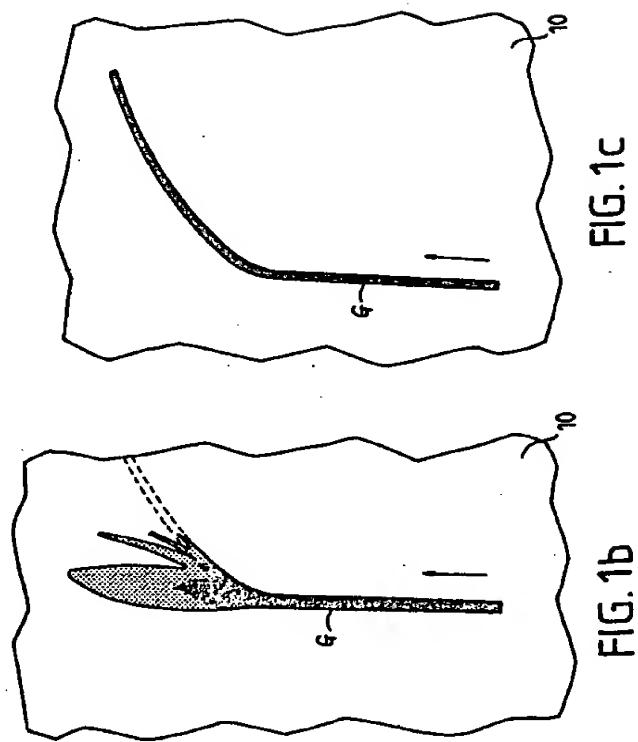


FIG. 1c

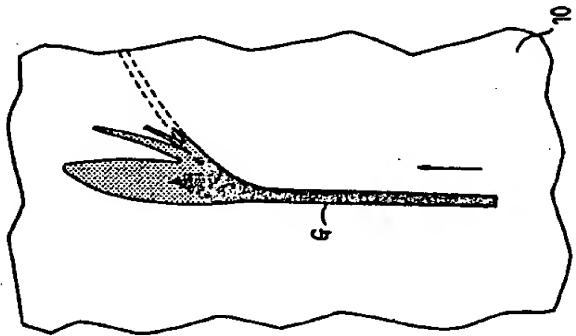


FIG. 1b

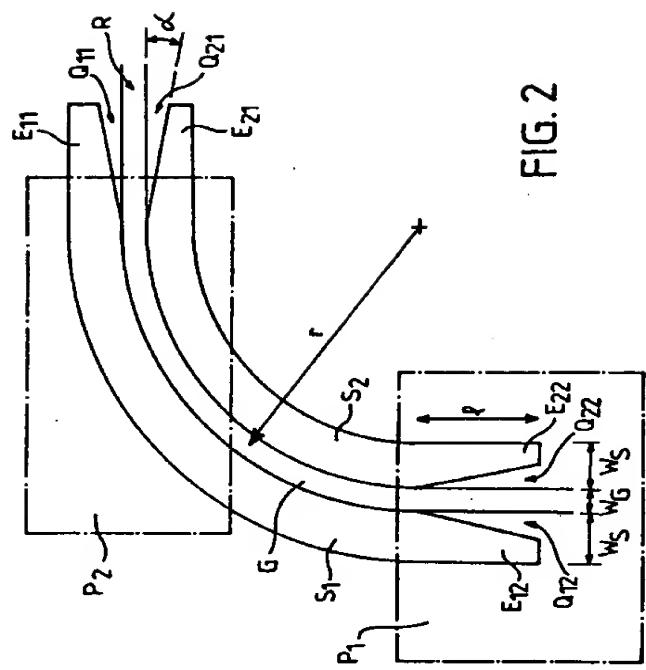


FIG. 2

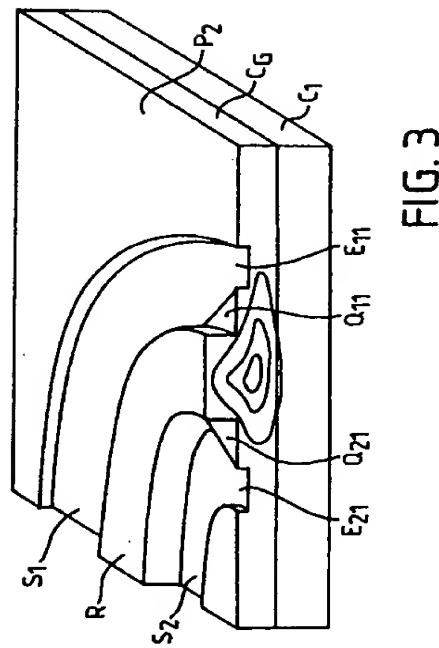


FIG. 3

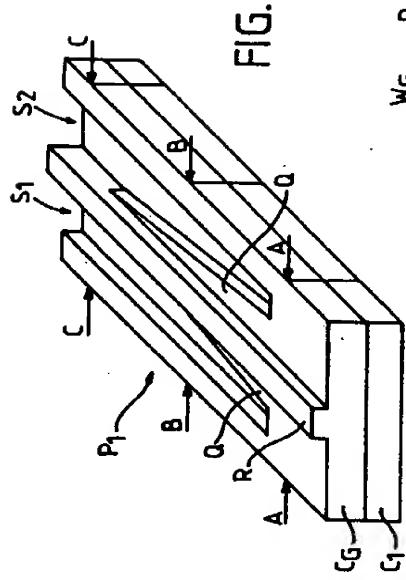


FIG. 4

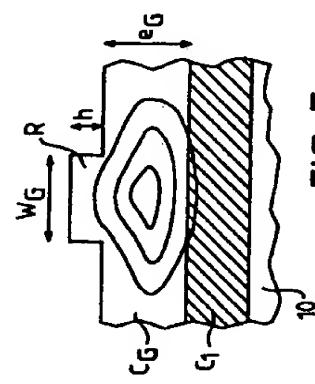


FIG. 5a

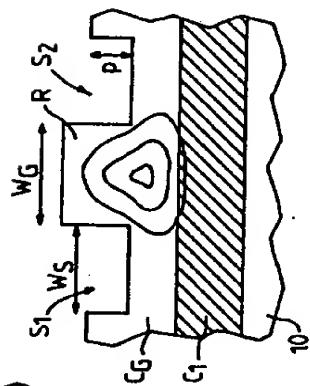


FIG. 5c

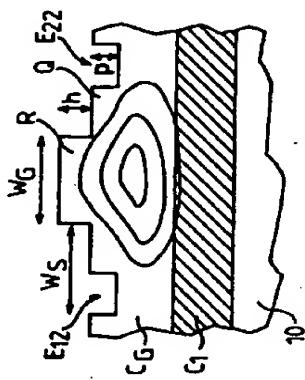


FIG. 5b

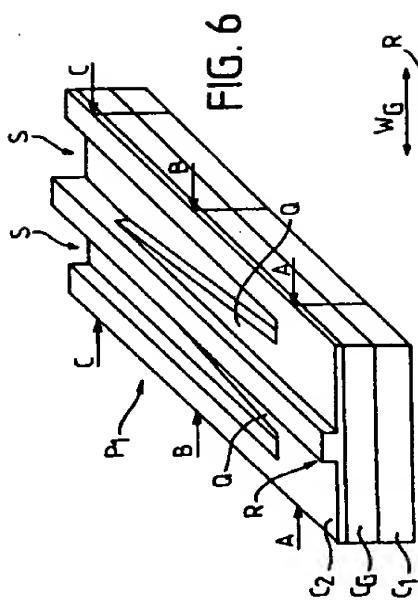


FIG. 6

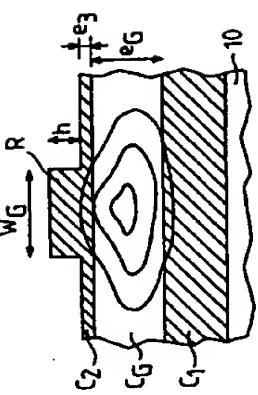


FIG. 7d

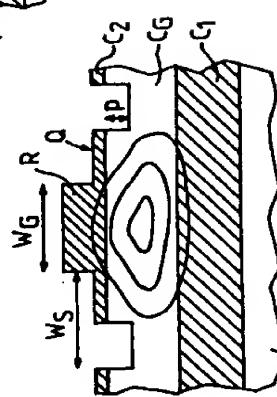


Fig. 7b

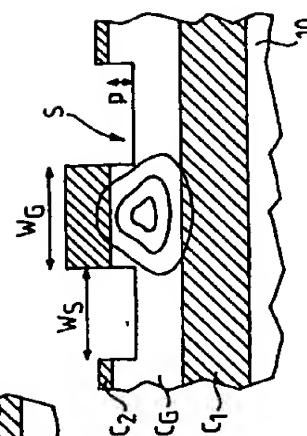


FIG. 7C

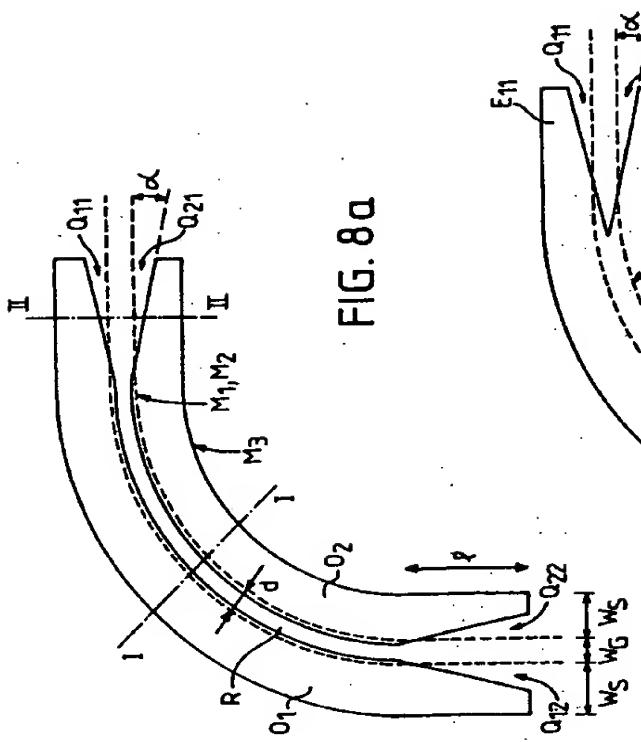


FIG. 8d

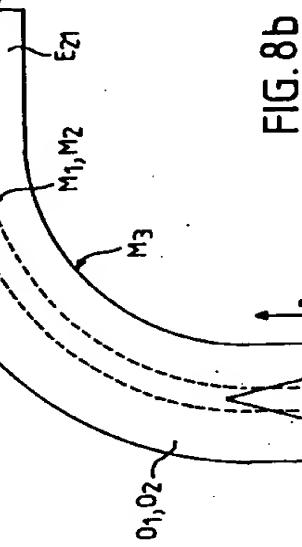


FIG. 8b

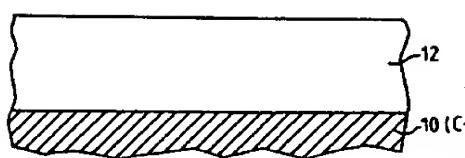


FIG. 9a

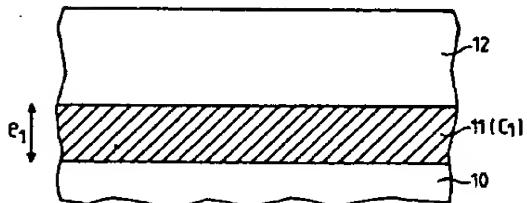


FIG. 9b

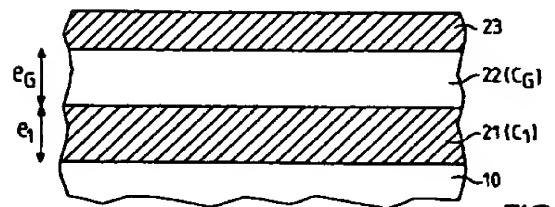


FIG. 9c

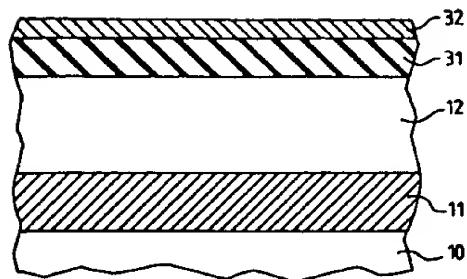


FIG. 10a

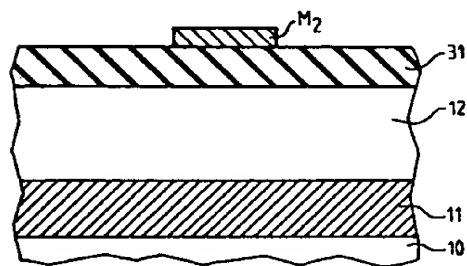


FIG. 10b

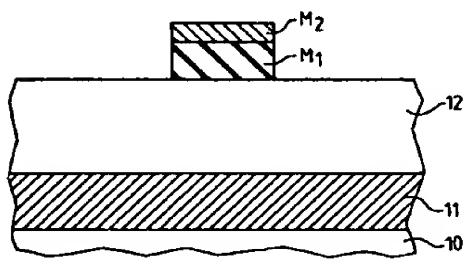


FIG. 10c

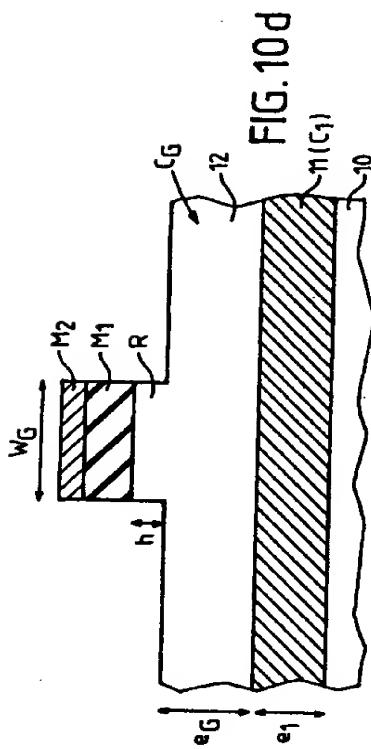


FIG. 10d

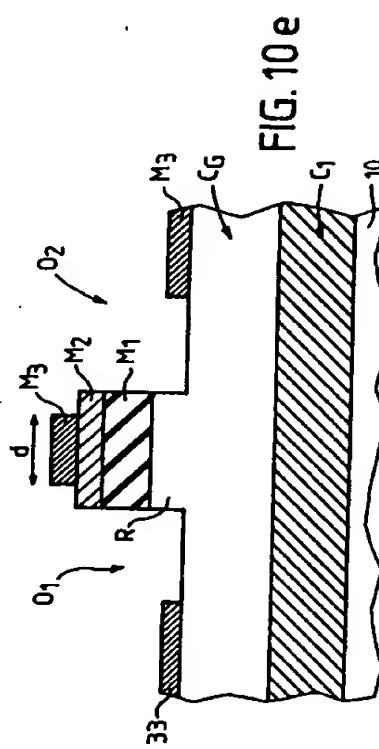


FIG. 10e

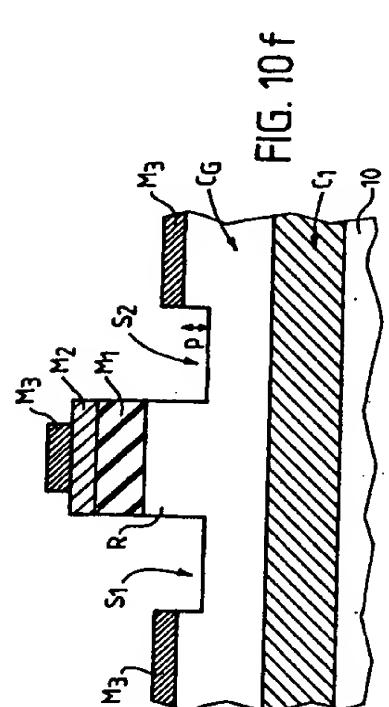


FIG. 10f

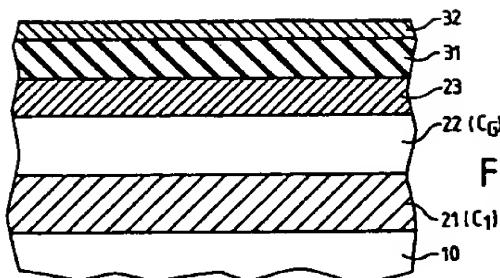


FIG. 11a

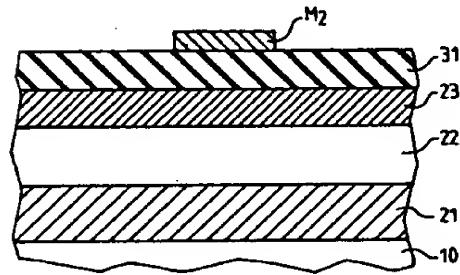


FIG. 11b

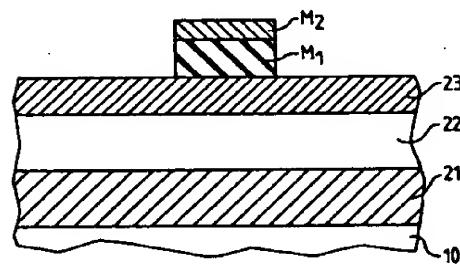


FIG. 11c

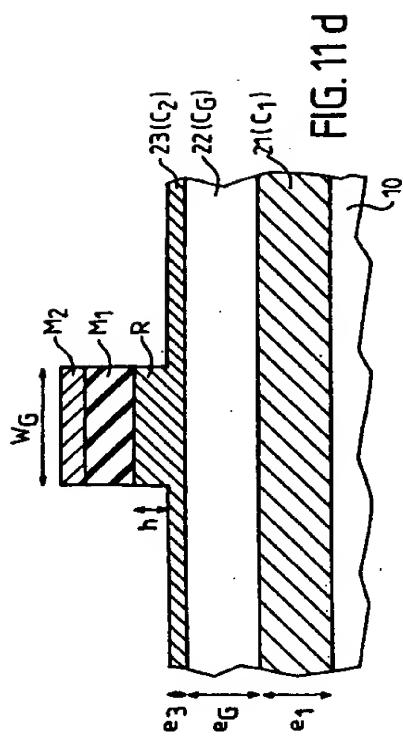


FIG. 11d

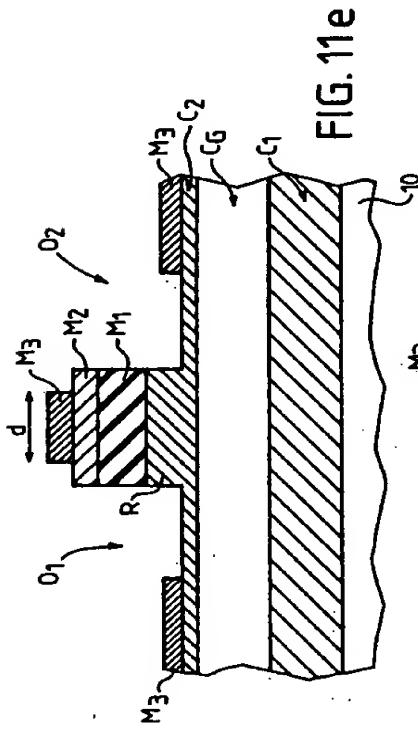


FIG. 11e

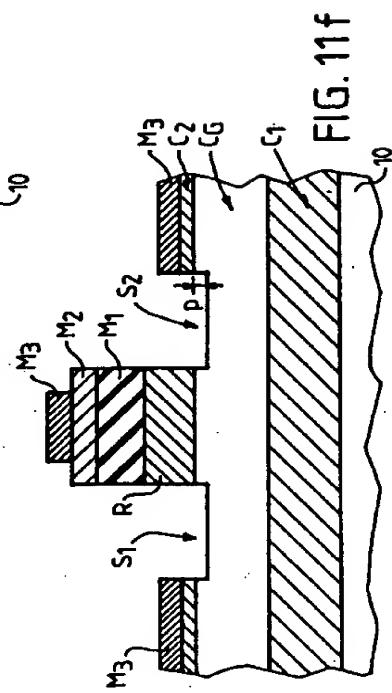


FIG. 11f

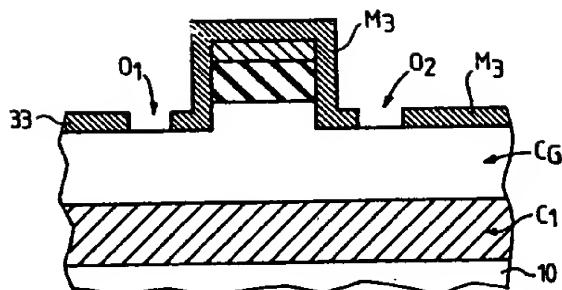


FIG. 10g

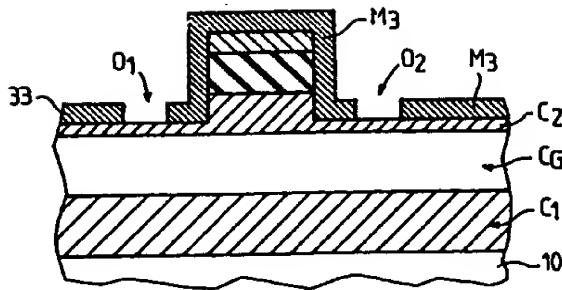


FIG. 11g

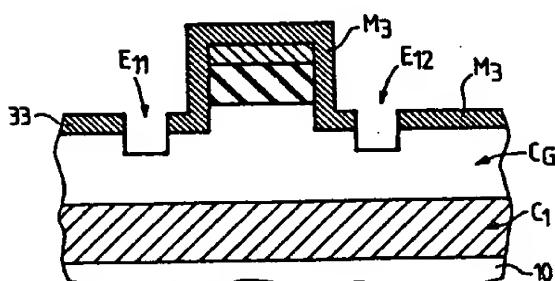


FIG. 10h

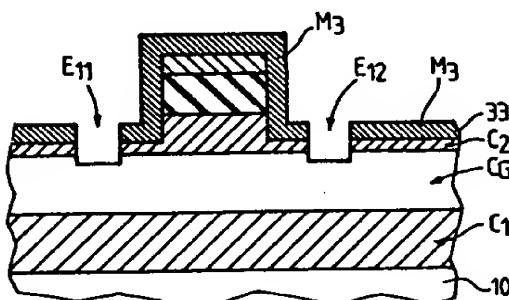


FIG. 11h

手 続 構 正 書

平成 元年 8月 11日

特許庁長官 吉 田 文 錠 殿

1. 事件の表示

平成 1年 特許願 第 156920 号

2. 発明の名称

半導体装置及びその製造方法

3. 换正をする者

事件との関係 特許出願人

名 称 エス・ベー・フィリップス・
フルーランベンファブリケン

4. 代理人

住 所 東京都千代田区霞が関三丁目2番4号
霞山ビルディング7階 電話(581)2241番(代表)

氏 名 (5925)弁理士 杉 村 駿 秀



住 所 同 所

氏 名 (7205)弁理士 杉 村 興 作



5. 换正の対象 明細書の「特許請求の範囲」

6. 换正の内容 (別紙の通り)



1. 明細書の特許請求の範囲を次の通りに訂正する。

「2. 特許請求の範囲

1. 少なくとも、1つの直線部分及び1つの湾曲部分を有する集積化光ガイドを具える半導体装置であって、前記の光ガイドは前記の湾曲部分で光を光ガイド中に制限する手段を有し、これらの手段には前記の湾曲部分の領域で光ガイドの縁部に沿って設けられた溝を含んでいる当該半導体装置において、前記の手段が更に、導波層と、この導波層から突出しこの導波層中を光がたどる光路を決定する浮き駆り状の細条とを有する導波構造体をも含んでおり、前記の手段が更に溝構造体を含んでおり、この溝構造体の深さは一定であり、この溝構造体の中央部は前記の湾曲部分で前記の細条の縁部を正確に追従し、この溝構造体の端部は前記の湾曲部分の開始端及び終了端で前記の細条の縁部から離し、この溝構造体の底部

は前記の導波層の下側部分に達しないレベル位置でこの導波層中に位置していることを特徴とする半導体装置。

2. 請求項1に記載の半導体装置において、前記の湾曲部分で光ガイドの両側に同じ構造の溝が設けられていることを特徴とする半導体装置。
3. 請求項1又は2に記載の半導体装置において、溝の端部が前記の細条から 2° ～ 5° の角度だけ離間していることを特徴とする半導体装置。
4. 請求項3に記載の半導体装置において、前記の角度が 3° であることを特徴とする半導体装置。
5. 請求項3に記載の半導体装置において、前記の角度が 4° であることを特徴とする半導体装置。
6. 請求項1～5のいずれか一項に記載の半導体装置において、前記の導波層の厚さ方向での溝の深さがこの導波層の厚さの20%よりも少ないことを特徴とする半導体装置。
7. 請求項1～6のいずれか一項に記載の半導体装置において、光ガイドの構造が2層を有する型のものであり、導波層が低屈折率の制限層の表面に形成され、前記の細条は導波層の表面にこの導波層と同じ材料を以って形成されていることを特徴とする半導体装置。
8. 請求項7に記載の半導体装置において、2層を有する光ガイドの構造がホモ構造型であり、制限層は第1の固有抵抗値で所定の導電型のⅢ-V族材料より成り且つⅢ-V族材料の基板上に形成されており、導波層は第2の固有抵抗値で制限層と同じ導電型及び同じⅢ-V族材料より成り且つ前記の制限層上に形成されていることを特徴とする半導体装置。
9. 請求項8に記載の半導体装置において、制限層が n^+ 型のInPより成っており、

導波層が n^+ 型InPより成っており、基板が半絶縁性のInPより成っていることを特徴とする半導体装置。

10. 請求項1～6のいずれか一項に記載の半導体装置において、光ガイドの構造は3層を有する型のものであり、導波層が低屈折率の2つの制限層間に形成され、前記の細条が上側の制限層の材料から成っていることを特徴とする半導体装置。
11. 請求項10に記載の半導体装置において、3層を有する光ガイドの構造がヘテロ構造型であり、2つの制限層は二成分のⅢ-V族材料より成り、導波層は三成分又は四成分Ⅲ-V族材料より成り、基板は二成分Ⅲ-V族材料より成っていることを特徴とする半導体装置。
12. 請求項11に記載の半導体装置において、制限層はInPより成り、導波層は半絶縁性のInPの基板上に形成されたGaInAsPより成っていることを特徴とする半導体

装置。

13. 請求項1～12のいがれか一項に記載の半導体装置において、導波層の厚さが約 $1.5 \mu m$ であり、制限層が存在する場合にはこの制限層の厚さが約 $0.25 \mu m$ であり、前記の細条は約 $0.75 \mu m$ の厚さ及び約 $4 \mu m$ の横方向寸法を有する浮き彫り状をしており、溝はその底部が導波層の上側面から約 $0.2 \mu m$ に位置するような深さを有していることを特徴とする半導体装置。
14. 請求項1～6のいずれか一項に記載の半導体装置を製造するに当り、少なくとも以下の工程、すなわち、
 - a) Ⅲ-V族の少なくとも2つの半導体材料層の構造を形成し、下側の層(11, 12)が制限層(C₁)を構成する為の低屈折率を有し、この下側の層を被覆する層(12, 21)は高屈折率を有するとともに半導体装置を動作させる為の波長λを有す

る放射を透過して導波層(C_e)を構成するようとする工程と、
 b) 前記の導波層(C_e)上に高さが h で幅が W_e で湾曲部分を有する細条(R)を浮き彫り状に形成し、この細条(R)はその下側の層(C_e)中に導波路を制限する為のものとする工程であって、この工程は、細条(R)の領域のみを被覆する第1の種類のマスク(M_1, M_2)のシステムを用い、これに統いてこのマスクのシステムに対し選択エッチングを行なうガスによりこのマスクのシステムの周りの半導体領域を深さ h に亘っていわゆる反応性イオンエッチングを行ない、これにより前記の細条(R)の下側の導波層が厚さ e_e を有するようにして得る当該工程と、
 c) これにより得られた装置の表面に、前記の細条(R)の湾曲部分の両側で前記の導波層(C_e)中の深さ P 及び幅 W_e を有する2つの溝(S_1, S_2)を形成し、これらの

溝を前記の湾曲部分の端部で前記の細条から角度 α だけ離間させ、光を導波層(C_e)中で横方向に制限する工程であって、この工程は、前記の溝(S_1, S_2)の領域と一致する窓($0_1, 0_2$)を有する第2の種類のマスク(M_3)のシステムを用い、前記の細条(R)上でのこれらの窓の距離 d を $0 < d < W_e$ とし、これに統いて厚さ e_e を有する導波層(C_e)におけるエッチング深さ P が e_e の20%よりも浅いある深さとなるまで窓($0_1, 0_2$)中の半導体領域をいわゆる反応性イオンエッチングを行なうことにより得る当該工程と
 を順次に行なうことを特徴とする半導体装置の製造方法。

15. 請求項14に記載の半導体装置の製造方法において、前記の工程a)でⅢ-V族の材料の2層(11, 12)のホモ構造を形成することを特徴とする半導体装置の製造方法。

16. 請求項15に記載の半導体装置の製造方法において、前記の工程b)で前記の細条(R)をホモ構造の第2層(12)の材料中に形成することを特徴とする半導体装置の製造方法。

17. 請求項16に記載の半導体装置の製造方法において、2層のホモ構造を、エピタキシャル成長により n^- 導電型のInPの層が上に形成されている n^+ 導電型のInPの基板(10)を以って構成することを特徴とする半導体装置の製造方法。

18. 請求項17に記載の半導体装置の製造方法において、2層のホモ構造を n^- 導電型のInPの第1エピタキシャル層(11)と、InPの固体単結晶半絶縁性基板(10)の表面に配置した n^- 導電型のInPの第1エピタキシャル層(11)と、この第1エピタキシャル層に配置した n^+ 導電型のInPの上側層(12)を以って構成することを特徴とする半導体装置の製造方法。

19. 請求項14に記載の半導体装置の製造方法において、前記の工程a)でⅢ-V族の材料の2層、すなわち下側の第1層(21)及び上側の第2層(22)のヘテロ構造を形成することを特徴とする半導体装置の製造方法。

20. 請求項19に記載の半導体装置の製造方法において、前記の工程b)で前記の細条(R)を2層のヘテロ構造の上側層、すなわち第2層(22)の材料中に形成することを特徴とする半導体装置の製造方法。

21. 請求項19に記載の半導体装置の製造方法において、前記の工程a)でグブルヘテロ構造を前記の層(21, 22)の表面に配置した第3層(23)を以って構成し、この第3層の屈折率を前記の第2層(22)の屈折率よりも低くし、この第2層(22)を導波層(C_e)とすることを特徴とする半導体装置の製造方法。

22. 請求項21に記載の半導体装置の製造方

法において、前記の工程b)で前記の細条(R)を前記の第3層(23)に形成することを特徴とする半導体装置の製造方法。

23. 請求項19~22のいずれか一項に記載の半導体装置の製造方法において、前記のヘテロ構造或いはダブルヘテロ構造(21, 22或いは21, 22, 23)で第1層(21)をn-導電型のInPの二成分エピタキシャル層とし、第2層(22)をGaInAsPの四成分エピタキシャル層とし、第3層(23)が存在する場合にはこの第3層をn-導電型のInPの二成分エピタキシャル層とし、この順次の層を単結晶半絶縁性のInPの固体基板上に配置することを特徴とする半導体装置の製造方法。

24. 請求項17又は18又は23に記載の半導体装置の製造方法において、InP材料をそのバックグラウンドドーピングのみによりn-導電型にするとともに $4 \cdot 10^{18}$ の濃度でs+イオンをドーピングすることによりn-導電型とし、半絶縁性のInPの固体基板を14・ 10^{14} 程度の濃度のカプセル化を用いたチョクラルスキー法による引上げ法により得、エピタキシャル層はMOVPE又はVPE型の方法の1つにより得ることを特徴とする半導体装置の製造方法。

25. 請求項14~24のいずれか一項に記載の半導体装置の製造方法において、
 $0.5 \mu m < h < 0.75 \mu m$ $W_c = 4 \mu m$
 $P < e_c$ の20% $W_s = 1 \sim 4 \mu m$
 $1.5 \mu m < e_c < 2.5 \mu m$ $2^\circ < \alpha < 5^\circ$
 としたことを特徴とする半導体装置の製造方法。

26. 請求項14~25のいずれか一項に記載の半導体装置の製造方法において、第1の種類のマスクのシステムをシリカ(SiO₂)の層(31)とホトレジストの層(32)との重疊層を以って構成することを特徴とする半導体装置の製造方法。

27. 請求項26に記載の半導体装置の製造方法において、前記の工程b)でシリカの層(31)の厚さを500~700nm程度とし、ホトレジストの層(32)を0.7~1μm程度とし、前記のシリカの層をその堆積後で前記のホトレジストの層の堆積前に400℃で30分間加熱し、前記のホトレジストの層(32)をその堆積後約90℃の温度で約30分間加熱し、前記の細条(R)をホトレジストの層(32)のホトリソグラフィー工程により規定し、これによりマスク(M₂)を形成し、これに続いてホトレジストの層(32)を段階的に180℃で加熱し、次にシリカ(SiO₂)の層(31)を半導体材料の上側層の上側面が露出するまでCHP₂ガスを用いた反応性イオンエッティングにより前記のマスク(M₂)の周りでエッティングし、これにより前記のマスク(M₂)の下側にマスク(M₁)を形成することを特徴とする半導体装置の製造方法。

28. 請求項27に記載の半導体装置の製造方法において、前記の細条(R)は少なくともCH₄/H₂ガスを含有する混合ガスにより第1の種類のマスク(M₁, M₂)のシステムの周りで半導体層をエッティングすることにより形成することを特徴とする半導体装置の製造方法。

29. 請求項26~28のいずれか一項に記載の半導体装置の製造方法において、前記の第2の種類のマスクのシステムを厚さが2~4μmのホトレジスト層(33)を以って構成することを特徴とする半導体装置の製造方法。

30. 請求項29に記載の半導体装置の製造方法において、前記の工程c)で前記の窓(O₁, O₂)を既知のリングラフィーの工程によりホトレジスト層(33)に形成し、これにより第2の種類のマスク(M₂)を形成し、その後溝(S₁, S₂)を、導波層(C₀)中でエッティング深さPが得られるまで窓

(0₁, 0₂) 中で露出された半導体層をエッチングすることにより形成し、このエッチング工程は少なくともCH₄/H₂ガスを含む混合ガスにより行ない、マスクの 2 つのシステム (M₁, M₂ 及び M₃) をホトレジストに関しアセトン中で、シリカ(SiO₂)に關しフッ化水素(HF) 中で分解することにより除去することを特徴とする半導体装置の製造方法。

31. 請求項30に記載の半導体装置の製造方法において、前記の第 2 の種類のマスク (M₃) の形成中、前記の窓 (0₁ 及び 0₂) を、これらが、第 1 の種類のマスク (M₁, M₂) のシステムによって依然として被覆されている細条 (R) の上方で距離 $d < H_0$ だけ互いに離間されるように形成することを特徴とする半導体装置の製造方法。

32. 請求項30に記載の半導体装置の製造方法において、第 2 の種類のマスク (M₃) の形成中に前記の窓 (0₁, 0₂) を、これらが

第 1 の種類のマスク (M₁, M₂) のシステムによって依然として被覆されている細条 (R) の上方で互いに結合されて 1 つの窓を構成するように形成し、この 1 つの窓は溝 (S₁, S₂) の端部を形成するこの窓の各端部でありつぎの形状を有するようにすることを特徴とする半導体装置の製造方法。

33. 請求項30～32のいずれか一項に記載の半導体装置の製造方法において、前記の窓 (0₁, 0₂) の端部を約 $50 \mu m$ の長さに亘って角度 α だけ前記の細条 (R) から離間させ、溝 (S₁, S₂) の端部 (E₁₁, E₁₂, E₂₁ 及び E₂₂) を形成するようにすることを特徴とする半導体装置の製造方法。」